
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua
Sidang Akademik 2011/2012

Jun 2012

EEE 130 – Elektronik Digit I

Masa : 3 jam

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi EMPAT BELAS muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi **ENAM** soalan

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi soalan diberikan disudut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

“Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai.”

“In the event of any discrepancies, the English version shall be used.”

1. (a) Dengan menggunakan 8-bit nombor penduaan bertanda, laksanakan pengurangan berikut. Tunjukkan pengiraan anda secara terperinci dan berikan jawapan anda di dalam 8-bit nombor penduaan bertanda.

Using 8-bit signed binary number, perform the following subtractions. Show your detail calculation and provide the answer in 8-bit signed binary number.

(i)

(ii)

(20 markah/marks)

- (b) Dua nombor perdua (dan) dicampurkan dengan menggunakan penambah-penuh.

Two binary numbers (and) are to be added using a full adder.

- (i) Apakah get logik umum yang digunakan untuk melaksanakan tambahan di dalam elektronik digital?

What is the common logic gate used to perform addition in digital electronic?

(10 markah/marks)

- (ii) Dengan beranggapan 'carry-in' dan keluaran adalah dan masing-masing, lukiskan satu litar logik penambah penuh menggunakan 1 OR, 2 ANDs dan 2 XORs. Tuliskan berdasarkan litar logik ini.

Assuming there are and , for carry in and output, respectively, draw a full-adder logic diagram using 1 OR, 2 ANDs and 2 XORs. Write out based on the logic circuit.

(30 markah/marks)

...3/-

- (iii) Pastikan litar logik anda di (i) di atas adalah benar.
Confirm your logic circuit in (i) above is true.

(20 markah/marks)

- (iv) Beranggapan bahawa masukan adalah dan , lengkapkan jadual kebenaran di bawah.

Assuming the inputs are and during implementation, complete the truth table below.

(20 markah/marks)

--	--

Gambarajah 1.1: Jadual kebenaran untuk menjawab Soalan 1 (b)(iv)

Figure 1.1 Truth table to answer Question 1 (b)(iv)

2. (a) Ringkaskan persamaan Boolean di bawah dan tentukan yang manakah sama.

Simplify the Boolean expression given below and determine which of them are equivalent. Then, draw the logic circuit for this equivalent expression.

(i)

(ii)

(iii)

(iv)

(20 markah/marks)

Jawab soalan-soalan berikut:

Answer the following questions:

- (i) Dapatkan persamaan piawai SOP daripada $X = \overline{\overline{A + B}C} + \overline{\overline{CD}}$.

Obtain the standard form sum-of-product (SOP) equation from $X = \overline{\overline{A + B}C} + \overline{\overline{CD}}$.

(10 markah/marks)

- (ii) Dapatkan ungkapan minimum bagi (i) menggunakan K-Map. Kemudian, lukiskan litar logik tersebut.

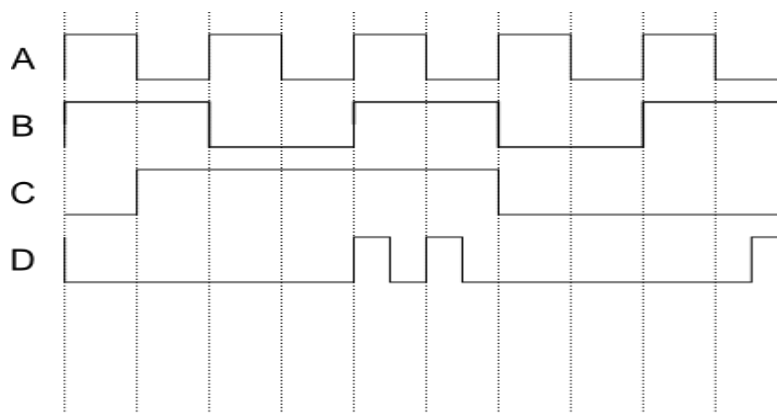
Get the minimum expressions for (i) using K-Map. Then, draw the logic circuit.

(20 markah/marks)

- (iii) Sekiranya diberikan input A, B, C dan D seperti yang ditunjukkan di Gambarajah 2.1, lukis isyarat keluaran di dalam carta masa yang diberikan

If the input A, B, C and D are given as in Figure 2.1, draw the output signal in the given timing diagram.

(10 markah/marks)



Gambarajah 2.1: Jadual kebenaran untuk menjawab Soalan 2(b)(iii)

Figure 2.1: Truth table to answer Question 2(b)(iii)

- (iv) Tunjukkan litar NAND-NAND berkaitan menggunakan teori DeMorgan.

Show the NAND-NAND circuit using DeMorgan's theorem.

(20 markah/marks)

- (v) Dapatkan ungkapan POS untuk X di (i) menggunakan K-map di (ii). Adakah ungkapan POS ini sampai pada ungkapan minimum? Sekiranya ya, lukiskan litar logik tersebut. Sekiranya tidak, ringkaskan ungkapan ini dan kemudian, lukiskan litar logik tersebut.

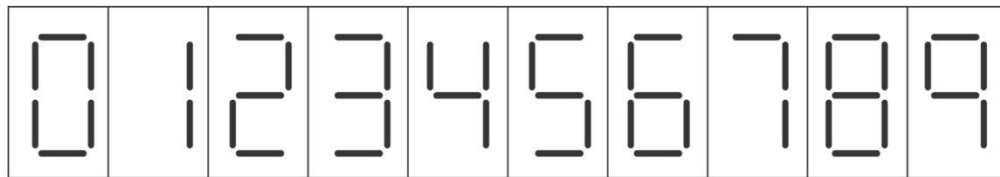
Obtain POS expression for X in (i) using the K-map in (ii). Does the POS expression arrive at its minimum expression? If yes, draw the logic circuit. If not, simplify the expression and then, draw the logic circuit.

(20 markah/marks)

3. (a) Paparan tujuh segmen biasanya digunakan oleh mesinkira untuk memaparkan setiap digit, seperti yang ditunjukkan di dalam Rajah 3(a). Dengan menggunakan pembolehubah-pembolehubah A (MSB), B, C dan D (LSB) untuk mewakili setiap binari 4 bit, bina sebuah litar logik yang menghasilkan HIGH (1) apabila kod BCD 4-bit ditukarkan kepada nombor yang menyalakan segmen-d.

Seven-segment displays are commonly used in calculators to display each digit, as shown in Figure 3(a). Using variables A (MSB), B, C and D (LSB) to represent each 4-bit binary, design a logic circuit that produces a HIGH (1) whenever a 4-bit BCD code translates to a number that light on segment-d.

(60 markah/marks)



Rajah 3(a)

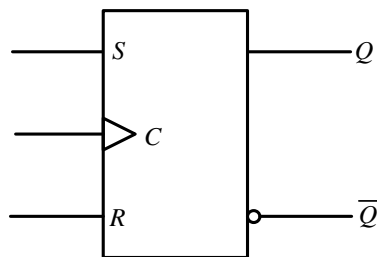
Figure 3(a)

- (b) *Design a circuit that will output a HIGH (1) whenever the 4-bit hexadecimal input is an odd number from 0-9. Draw the final logic circuit that has been designed.*

(40 markah/marks)

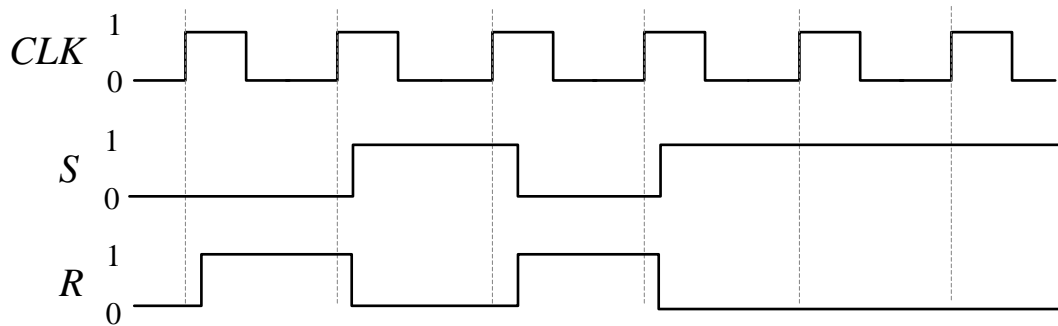
4. (a) Tentukan gelombang keluaran Q dan \bar{Q} untuk flip-flop ditunjukkan dalam Rajah 4(a)(i) untuk S , R dan CLK masukan-masukan seperti ditunjukkan dalam Rajah 4(a)(ii). Anggapkan flip-flop tersebut awalnya RESET.

Determine the Q and \bar{Q} output waveforms for the flip-flop shown in Figure 4(a)(i) for S , R and CLK inputs as shown in Figure 4(a)(ii). Assume that the flip-flop is initially RESET.



Rajah 4(a)(i)

Figure 4(a)(i)



Rajah 4(a)(ii)

Figure 4(a)(ii)

(25 markah/marks)

- (b) Lakarkan rajah logik untuk flip-flop S-R terpicu pinggir positif dan menggunakan jadual kebenaran bincang bagaimana picuan pinggir positif flip-flop S-R beroperasi.

Draw the logic diagram of a positive edge triggered S-R flip-flop and using the truth table discuss how does a positive edge triggered S-R flip-flop operates.

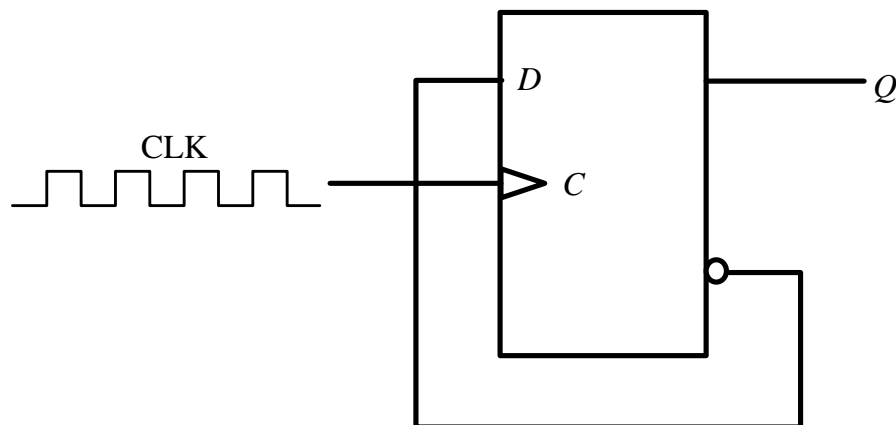
(25 markah/marks)

- (c) Apakah perbezaan diantara flip-flop terpicu pinggir positif dan pinggir negatif?
What is the difference between a positive and a negative edge triggered flip-flop?

(10 markah/marks)

- (d) Satu flip-flop D disambungkan seperti dalam Rajah 4(d). Lakarkan bentuk gelombang keluaran Q dalam hubungan dengan (CLK). Apakah perlakuan fungsi peranti?

A D flip-flop is connected as shown in Figure 4(d). Draw the Q output wave shape in relation to the clock (CLK). What function does the device perform?



Rajah 4(d)

Figure 4(d)

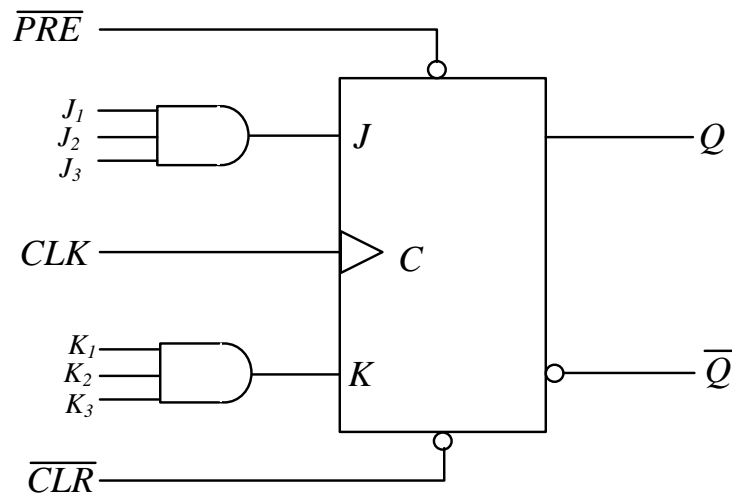
(20 markah/marks)

...10/-

- (e) Data siri berikut di kenakan ke flip-flop melalui get AND seperti ditunjukkan dalam Rajah 4(e). Tentukan hasil data siri yang muncul pada keluaran Q. Terdapat satu denyut jam untuk setiap masa bit. Anggapkan Q awalnya 0 dan \overline{Q} adalah TINGGI. Bit-bit paling kanan dikenakan dahulu.

The following serial data are applied to the flip-flop through the AND gates as shown in Figure 4(e). Determine the resulting serial data that appear on the Q output. There is one clock pulse for each bit time. Assume Q is initially 0 and \overline{Q} are HIGH. Right most bits are applied first.

$J_1 : 1\ 0\ 1\ 0\ 0\ 1\ 1;$ $J_2 : 0\ 1\ 1\ 1\ 0\ 1\ 0;$ $J_3 : 1\ 1\ 1\ 1\ 0\ 0\ 0;$
 $K_1 : 0\ 0\ 0\ 1\ 1\ 1\ 0;$ $K_2 : 1\ 1\ 0\ 1\ 1\ 0\ 0;$ $K_3 : 1\ 0\ 1\ 0\ 1\ 0\ 1.$



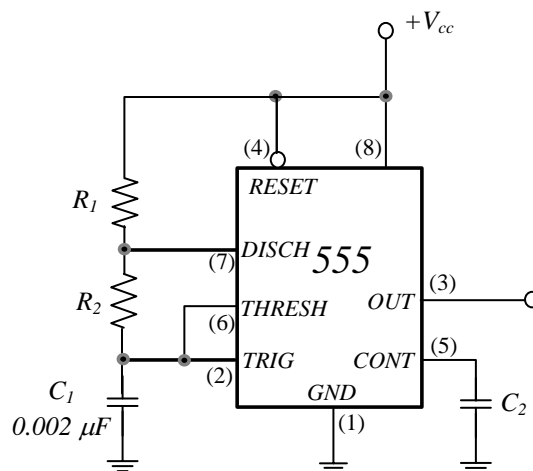
Rajah 4(e)

Figure 4(e)

(20 markah/marks)

5. (a) Pemasa 555 dikonfigurasi untuk dijalankan sebagai pemberbilang getar tak stabil seperti Rajah 5(a). Frekuensi keluaran adalah 20 kHz dan kitar tugas adalah 75%. Dapatkan nilai perintang R_1 dan R_2 .

A 555 timer is configured to operate as an astable multivibrator as shown in Figure 5(a). The output frequency is 20 kHz and duty cycle is 75%. Find the values of resistor R_1 and R_2 .



Rajah 5(a)

Figure 5(a)

(20 markah/marks)

Panduan:

Hints:

Kitar Tugas = _____

Duty Cycle = _____

dan frekuensi keluaran, _____

and output frequency, _____

- (b) (i) Lakarkan rajah pembilang riak binari (tak bergerak) dengan setiap flip-flop terpicu pinggir positif.

Draw the diagram of a 3-bit binary ripple (asynchronous) counter with each flip flop is positive edge triggered

- (ii) Lakarkan rajah pemasaan untuk keluaran Q setiap flip-flop pembilang riak 5(b)(i) dengan kaitan kepada denyut jam bagi 12 denyut jam.

Draw the timing diagram for the Q output of each flip-flop of the ripple counter of 5(b)(i) with respect to the clock pulse for 12 clock pulses.

- (iii) Jika setiap flip-flop mempunyai lengah perambatan 12 ns kemudian tentukan kes terburuk (terpanjang) masa lengah dari pinggir picuan denyut jam sehingga pertukaran sepadan berlaku dalam bit MSB. Tentukan keadaan atau keadaan-keadaan untuk bilamana kes terburuk lengah berlaku.

If each flip-flop has a propagation delay of 12 ns then determine the worst case (longest) delay time from a triggering edge clock pulse until a corresponding change occurs in the MSB bit. Specify the state for which worst case delay occurs.

(30 markah/marks)

- (c) Dengan langkah-langkah prosedur bersesuaian rekabentuk pembilang 2-bit untuk menghasilkan turutan berikut. Gunakan flip-flop J-K.

With appropriate procedural steps design a 2-bit counter to produce the following sequence. Use J-K flip-flops.

00, 10, 01, 11, 00,

(50 markah/marks)

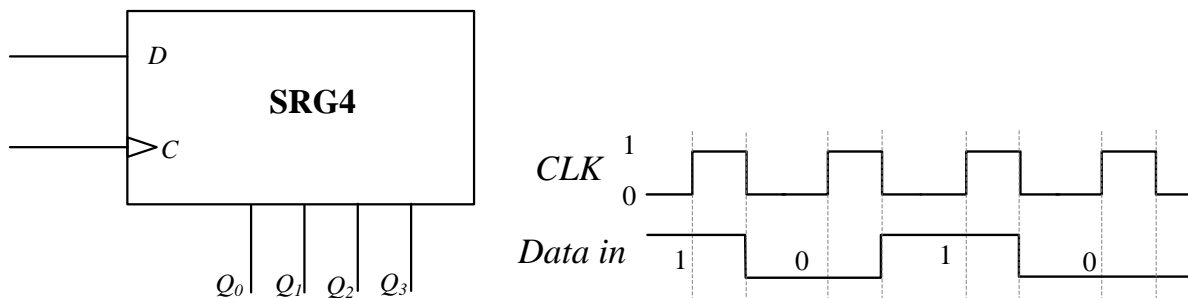
6. (a) Lakarkan daftar anjakan masukan siri/keluaran siri 4 bit. Anggapkan daftar tersebut awalnya CLEAR dan LSB dimasukkan dahulu. Gambarkan dengan rajah lengkap bagaimana turutan 1010 disimpan dalam daftar.

Draw a 4 bit serial in/serial out shift register. Assume that the register is initially CLEAR and LSB is entered first. Illustrate with detailed diagram how 4 bits sequence 1010 is stored in the register

(45 markah/marks)

- (b) Daftar 4 bit berserta dengan data masukan dan denyut jam dialirkan sehingga empat denyut jam ditunjukkan dalam rajah 6(b). Daftar awalnya dikosongkan (all 0s).

A 4 bit register along with input data and clock pulse stream up to four clock pulse is shown in figure 6(b). Register is initially cleared (all 0s).



Rajah 6(b)

Figure 6(b)

- (i) Lakarkan rajah pemasaan untuk setiap keluaran Q
Draw the timing diagram for each Q output.

- (ii) Jika data masukan tetap 0 selepas denyut jam keempat kemudiannya apakah keadaan daftar selepas tambahan dua denyut jam

If the data input remains 0 after the fourth clock pulse then what is the state of the register after additional two clock pulses

(25 markah/marks)

- (c) Apakah bus-bus sistem memori komputer? Apakah kegunaan-kegunaan bus-bus ini?

What are the buses of computer memory system? What are the uses of these buses?

(15 markah/marks)

- (d) Sesetengah cip memori ditentukan sebagai 512KX8.
A certain memory chip is specified as 512K X 8.

- (i) Berapakah perkataan boleh disimpan dalam cip ini?
How many words can be stored on this chip?

- (ii) Berapa banyak data talian masukan dan keluaran yang ia ada?
How many data input and data output lines does it have?

- (iii) Berapa banyak sel memori yang ia ada?
How many memory cells does it contain?

(15 markah/marks)

oooOooo